



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Seiji FUNABA, et al.**
Filed : **October 31, 2003**
For : **MEMORY MODULE, MEMORY CHIP...**
Serial No. : **10/699,628**
Examiner :
Art Unit : **2818**
Confirmation No. : **3070**

Director of the U.S. Patent and
Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450

July 2, 2004

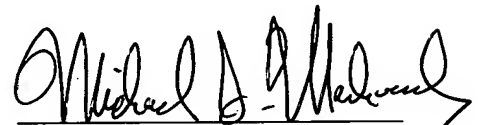
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby submits a certified copy of **JAPANESE** patent application no.
2002-318271 filed **October 31, 2002**, from which priority was claimed in a priority claim
filed on October 31, 2003.

Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-
1290.

Respectfully submitted,


Michael I. Markowitz
Reg. No. 30,659

CUSTOMER NO.: 026304
DOCKET NO.: NECG 20.718 (100806-00238)
TELEPHONE: (212) 940-8800
FAX: (212) 940-8986

05

WN 2631

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 8 2 7 1
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 1 8 2 7 1]

出 願 人 エルピーダメモリ株式会社
Applicant(s):



2 0 0 3 年 1 0 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 22310268

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34
H01L 27/10

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 船場 誠司

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 西尾 洋二

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリモジュール、メモリチップ、及びメモリシステム

【特許請求の範囲】

【請求項 1】 コマンドアドレス信号用レジスタとそれぞれがコマンドアドレス信号端子にアクティブ終端回路を有する複数のメモリチップとを搭載し、前記レジスタ及びメモリチップ相互間を内部で配線接続するメモリモジュールにおいて、それぞれが相互に表裏面または隣接する近傍に配置する複数の前記メモリチップにより形成されるメモリ群を二つのランクに構成して、隣接する二つのメモリ群を一組として、一つのメモリ群に二つもしくは三つ、または二つのメモリ群に四つまたは五つのメモリチップを配置し、前記レジスタに対応する複数のメモリ群へ接続するコマンドアドレス信号配線を、隣接する二つのメモリ群を組にして「T」型分岐構造と成し、この一組のメモリ群同士ではアクセスしない方の前記ランクに属するメモリ群のメモリチップのみのコマンドアドレス信号端子をアクティブ終端することを特徴とするメモリモジュール。

【請求項 2】 請求項 1 において、データ信号配線は、前記組を成すランクそれぞれのメモリ群同士を接続する「T」型分岐構造を成し、一組のメモリ群同士ではアクセスしない方のランクのメモリチップのみのデータ信号端子をアクティブ終端することを特徴とするメモリモジュール。

【請求項 3】 請求項 1 において、コマンドアドレス用アクティブ終端制御信号は、それぞれの前記メモリ群に対応するモジュール端子と接続配線されることを特徴とするメモリモジュール。

【請求項 4】 請求項 1 において、前記レジスタは偶数で組構成され、クロック信号配線は、前記レジスタ及びメモリチップそれぞれに接続されると共に、前記組を成すレジスタ同士及び組を成すランクそれぞれのメモリ群同士を接続する「T」型分岐構造を成し、一組の接続配線同士では一方のみのクロック信号端子をアクティブ終端することを特徴とするメモリモジュール。

【請求項 5】 請求項 1 から請求項 4 までのうちの一つにおいて、隣接して接続が「T」型分岐構造を成す少なくとも一組のメモリ群それぞれにおける一つ

のメモリチップを、二つのメモリチップを積層した積層メモリチップに形成し、当該メモリ群それぞれでは、積層メモリチップ以外の一つのメモリチップにおける前記コマンドアドレス信号端子をアクティブ終端することを特徴とするメモリモジュール。

【請求項6】 請求項5において、前記ランクは、それぞれが表裏面で二つの前記メモリチップを有する合計八つで四組のメモリ群に構成されており、かつ前記メモリチップは、そのうちの二つが積層メモリチップの合計18個であり、誤り検出訂正機能を備えることを特徴とするメモリモジュール。

【請求項7】 請求項5において、前記積層メモリチップは、一枚のプリント基板の両面にメモリチップを貼り付けた構造を有し、コマンドアドレス信号配線は一つの配線で両面のメモリチップのパッドに接続されており、データ信号配線は、一つの配線で片面のメモリチップのパッドに接続されており、かつ積層メモリチップの信号線を電源層及びグランド層で挟んで形成されるストリップラインを備えることを特徴とするメモリモジュール。

【請求項8】 請求項1から請求項7までのうちの一つにおいて、前記レジスタは前記メモリチップの下位に配置され、かつメモリモジュールのコマンドアドレス信号端子に接続する「T」型分岐構造に挿入される配線インピーダンス整合用抵抗を備えることを特徴とするメモリモジュール。

【請求項9】 請求項1において、クロック信号配線は、前記組を成すメモリ群同士を接続する「T」型分岐構造を成し、一組のメモリ群同士では一方のメモリ群のメモリチップのみで終端することを特徴とするメモリモジュール。

【請求項10】 請求項1において、前記メモリチップは、コマンドアドレス用アクティブ終端制御信号のための終端回路と、コマンドアドレス用アクティブ終端制御信号をラッチする回路と、コマンドアドレス用アクティブ終端が「オン」の間、前記コマンドアドレス用アクティブ終端制御信号がラッチされた際にはコマンドアドレス用アクティブ終端制御信号のためのアクティブ終端の少なくとも一部を「オフ」する回路とを有することを特徴とするメモリモジュール。

【請求項11】 コマンドアドレス信号用レジスタとそれぞれがコマンドアドレス信号端子にアクティブ終端回路を有する複数のメモリチップとを搭載し、

前記レジスタ及びメモリチップ相互間を内部で配線接続するメモリモジュールに用いられる前記メモリチップにおいて、コマンドアドレス用アクティブ終端制御信号のための終端回路と、コマンドアドレス用アクティブ終端制御信号をラッチする回路と、コマンドアドレス用アクティブ終端が「オン」の間、前記コマンドアドレス用アクティブ終端制御信号がラッチされた際にはコマンドアドレス用アクティブ終端制御信号のためのアクティブ終端の少なくとも一部を「オフ」する回路とを有することを特徴とするメモリチップ。

【請求項 12】 マザーボード上に、二つの、前記請求項 1 から請求項 10 までのうちの一つに記載されるメモリモジュールと、これらメモリモジュールに搭載されるメモリチップと接続してメモリ機能を制御するメモリコントローラとを備え、各メモリモジュールと前記メモリコントローラとの信号はそれぞれ独立して接続されることを特徴とするメモリシステム。

【請求項 13】 請求項 12 において、メモリコントローラと二つのメモリモジュールとの間の信号配線は、メモリコントローラに近い方のメモリモジュールとの間の配線を内層配線とし、かつメモリコントローラから遠い方のメモリモジュールとの間の配線を表層配線とすることを特徴とするメモリシステム。

【請求項 14】 マザーボード上に、二つの、前記請求項 1 から請求項 10 までのうちの一つに記載されるメモリモジュールと、これらメモリモジュールに搭載されるメモリチップと接続してメモリ機能を制御するメモリコントローラとを備え、各メモリモジュールと前記メモリコントローラとの信号のうち、少なくともコマンドアドレス信号及びクロック信号のうちの一方は「T」分岐構造であることを特徴とするメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コマンドアドレス信号用レジスタとそれぞれがコマンドアドレス信号端子にアクティブ終端回路を有する複数のメモリチップを一つのメモリ群に構成した偶数のランクとを搭載して前記レジスタ及びメモリチップ相互間を内部で配線接続するメモリモジュール及びこれを用いたメモリシステムに関し、特に、

T型分岐構造でのスタブにおける反射を抑え、高速に適するメモリモジュール及びこれを用いたメモリシステムに関する。

【0002】

【従来の技術】

従来、この種のメモリモジュールには、メモリチップとしてDRAM（ダイナミックランダムアクセスメモリ）を搭載した、例えば図25に示されるものがある。図25は、現在のDDR-SDRAM（ダブルデータレート・シンクロナスDRAM）を用いたメモリモジュール1におけるコマンドアドレス（以後、CAと略称する）配線の形状（トポロジ）を示すものである。

【0003】

メモリモジュール1では、4つ及び5つそれぞれのDRAM2の2群と1つのコマンドアドレスレジスタ（以後、CARと略称する）3とがパッケージ基板に実装され、両者を「T」型分岐構造で接続されている。DRAM2はパッケージ基板の表裏に共通に重なって実装される。

【0004】

このような配線形状は全体の配線長を短縮して配線の締める面積を縮小しようとするものである。しかし、この配線形状では分岐配線（スタブ）が長いため、反射の時定数が大きい。このため、この配線形状で高速信号を扱う場合、図26に示されるように、波形が多重反射により大きく乱れてしまう。

【0005】

【特許文献1】

特開2001-270518号公報

【0006】

【発明が解決しようとする課題】

上述した従来のメモリモジュールでは、高速信号に対して波形の乱れが大きいという問題点がある。

【0007】

その理由は、実装されるメモリチップであるDRAMの数を二分して「T」型分岐構造で接続される配線形状を有するためである。すなわち、このような配線

形状では、分岐配線長を長くしているので、反射の時定数が大きく、多重反射による乱れが大きいからである。

【0008】

本発明の課題は、このような問題点を解決し、高速信号に対して波形の乱れを抑えることができるメモリモジュール、メモリチップ、及びメモリシステムを提供することである。

【0009】

【課題を解決するための手段】

本発明によるメモリモジュール、メモリチップ、及びメモリシステムは、コマンドアドレス信号用レジスタとそれぞれがコマンドアドレス信号端子にアクティブ終端回路を有する複数のメモリチップとを搭載し、前記レジスタ及びメモリチップ相互間を内部で配線接続するメモリモジュール及びこれに用いられるメモリチップ、並びにこれを用いたメモリシステムに関する。

【0010】

本発明によるメモリモジュールは、それぞれが相互に表裏面または隣接する近傍に配置する複数の前記メモリチップにより形成されるメモリ群を二つのランクと呼ばれる同時にアクセスされるグループに構成して、隣接する二つのメモリ群を一組として、一つのメモリ群に二つもしくは三つ、または二つのメモリ群に四つまたは五つのメモリチップを配置し、前記レジスタに対応する複数のメモリ群へ接続するコマンドアドレス信号配線を、隣接する二つのメモリ群を組にして「T」型分岐構造と成し、この一組のメモリ群同士では一方の前記ランクに属するメモリ群のメモリチップのみのコマンドアドレス信号端子をアクティブ終端している。他の信号配線も同様な構成を有している。

【0011】

このような「T」型分岐構造では、表裏面及び隣接するような接近した位置のメモリチップのみをペアとする配線形状を有しているので分岐配線長が短い。また、アクティブ終端する個所を「T」型分岐構造で配線接続された二つのメモリ群のうち、信号を受信しない側のランクのメモリ群におけるメモリチップで終端しているので信号を受信する側のランクのメモリチップは配線が開放端になって

いる。この結果、信号を受信するランクのメモリチップにおける開放端では反射が起こっても時定数が短いので、波形を大きく乱すことはなく、むしろ適度な反射によって信号波形の立ち上がり／立下りが鋭くなって良好な波形が得られる。

【0012】

また、他の信号に対する配線は下記のようにになっている。すなわち、上記メモリモジュールにおけるデータ信号配線は、前記組を成すランクそれぞれのメモリ群同士を接続する「T」型分岐構造を成し、一組のメモリ群同士では一方のランクのメモリチップのみのコマンドアドレス信号端子をアクティブ終端している。また、コマンドアドレス用アクティブ終端制御信号は、それぞれの前記メモリ群に対応するモジュール端子と接続配線されている。また、前記レジスタは偶数で組構成され、クロック信号配線は、前記レジスタ及びメモリチップそれぞれに接続されると共に、前記組を成すレジスタ同士及び組を成すランクそれぞれのメモリ群同士を接続する「T」型分岐構造を成し、一組の接続配線同士では一方のみのクロック信号端子をアクティブ終端している。

【0013】

上述したとは別の実施の形態では、メモリモジュールは、隣接し接続が「T」型分岐構造を成す少なくとも一組のメモリ群それぞれにおける一つのメモリチップを、二つのメモリチップを積層した積層メモリチップに形成し、当該メモリ群それぞれでは、積層メモリチップ以外の一つのメモリチップにおける前記コマンドアドレス信号端子をアクティブ終端している。また、このランクは、それぞれが表裏面で二つの前記メモリチップを有する合計八つで四組のメモリ群に構成されており、かつ前記メモリチップは、そのうちの二つが積層メモリチップの合計18個であり、誤り検出訂正機能を備えている。また、積層メモリチップは、一枚のプリント基板の両面にメモリチップを貼り付けた構造を有し、コマンドアドレス信号配線は一つの配線で両面のメモリチップのパッドに接続されており、データ信号配線は、一つの配線で片面のメモリチップのパッドに接続されており、かつ積層メモリチップの信号線を電源層及びグランド層で挟んで形成されるストリップラインを備えている。

【0014】

また、クロック信号配線は、前記組を成すメモリ群同士を接続する「T」型分岐構造を成し、一組のメモリ群同士では一方のメモリ群のメモリチップのみで終端している。

【0015】

また、前記メモリチップは、コマンドアドレス用アクティブ終端制御信号のための終端回路と、コマンドアドレス用アクティブ終端制御信号をラッチする回路と、コマンドアドレス用アクティブ終端が「オン」の間、前記コマンドアドレス用アクティブ終端制御信号がラッチされた際にはコマンドアドレス用アクティブ終端制御信号のためのアクティブ終端を「オフ」する回路とを有している。

【0016】

また、本発明によるメモリシステムは、マザーボード上に、二つの上述したメモリモジュールとこれらメモリモジュールに搭載されるメモリチップと接続してメモリ機能を制御するメモリコントローラとを備え、各メモリモジュールと前記メモリコントローラとの信号はそれぞれ独立して接続されている。ここで、メモリコントローラと二つのメモリモジュールとの間の信号配線は、メモリコントローラに近い方のメモリモジュールとの間の配線を内層配線としかつメモリコントローラから遠い方のメモリモジュールとの間の配線を表層配線としている。

【0017】

また、本発明によるメモリシステムは、マザーボード上に、二つの上述したメモリモジュールと、これらメモリモジュールに搭載されるメモリチップと接続してメモリ機能を制御するメモリコントローラとを備え、各メモリモジュールと前記メモリコントローラとの信号のうち、少なくともコマンドアドレス信号及びクロック信号のうちの一方は「T」分岐構造である。

【0018】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。図面は明細書の記載に対して理解を助けるため簡略化されており、主要となる部分のみを取上げている。

【0019】

図1は本発明の実施の一形態を示すブロック配線図である。図1に示されたメモリモジュール10では、同時にアクセスされるデバイス群としてランク11-1, 11-2が形成されている。このデバイス群は、16個のメモリチップであるDRAM(ダイナミックランダムアクセスメモリ)12である。2個のDRAM12それぞれは、メモリ群を構成しており、モジュール基板の表裏面に配置実装されて共通に配線されている。従って、8個のDRAM12のみが図示されている。また、メモリ群としてのDRAM12は、隣接しあうメモリ群をペアとすると共に、隣接するメモリ群は互いに異なるランクに構成する。

【0020】

すなわち、上記構成では、表裏面二つのDRAM12が一つのメモリ群を形成し、メモリ群を二つのランク11-1, 11-2に構成して、隣接するメモリ群で異なるランクに所属するとしている。しかし、DRAMそれぞれが相互に表裏面及び隣接などして近傍に配置され、隣接する二つのメモリ群を一組として、一つのメモリ群に二つもしくは三つ、または二つのメモリ群に四つまたは五つのDRAMを配置することもできる。

【0021】

DRAM12は、CA(コマンドアドレス)信号用端子、DQ(データ)信号用端子、ODT_CA(CA用アクティブ終端制御)信号用端子、及びWCLK(クロック)信号用端子を有し、CA信号用端子にはアクティブ終端回路が備えられている。

【0022】

メモリモジュール10では更に、4個のコマンドアドレス信号用レジスタ(以後、CARと略称する)13がDRAM12を二分する位置に搭載されている。また、DRAM12同様、CAR13はモジュール基板の表裏面に配置実装されて共通に配線されている。従って、2個のCAR13のみが図示されている。CAR13は二つのCA信号用入力端子、一つのCA信号用出力端子、及びWCLK信号用端子を有している。

【0023】

次に図1を参照して各信号線の配線接続について説明する。

【0024】

DRAM12からCAR13へのCA信号配線は、隣接する二つのメモリ群であるDRAM12をペアにして「T」型分岐構造と成し、この一組のメモリ群同士で例えば一方のランク11-1が稼働する場合には、ランク11-2に属するメモリ群のDRAM12のみのCA信号用端子が「オン」となりアクティブ終端する。

【0025】

このような「T」型分岐構造が隣接するDRAM12間で分岐までの最短線長の分岐配線（スタブ）を可能にする。この分岐点は、更に隣接するペアのメモリ群における分岐点とCAR13までの配線線長をほぼ同一にするように決定されるので、高速信号においても波形の大きな乱れを生じることはない。

【0026】

DQ信号配線は、隣接するDRAM12同士をペアとする「T」型分岐構造であり、稼働DRAM12の隣接DRAM12でアクティブ終端される。

【0027】

ODT__CA信号配線は、各DRAM12毎に、対応するモジュール端子から一対一で接続されている。

【0028】

また、WCLK信号配線は、各DRAM12毎及び各CAR13毎に用意されており具体的に図示されている。すなわち、それぞれのWCLK信号配線は、DQ信号配線と同様に隣接DRAM12又はCAR13同士をペアとする「T」型分岐構造である。しかし、隣接するDRAM12及びCAR13それぞれで、一方は開放され他方で常時終端される二つの配線を有している。

【0029】

すなわち、CAR13からランク-1のDRAM12にCA信号を伝送する場合、ランク-2のDRAM12のCA用アクティブ終端回路を「オン」にする。また逆に、ランク-2のDRAMにCA信号を伝送する場合にはランク-1の片面のみのDRAM12でCA用アクティブ終端回路を「オン」にする。

【0030】

D R A M のアクティブ終端の実効的な終端抵抗値は接続されている信号配線の特性インピーダンスの値と同じである。

【 0 0 3 1 】

図 2 には、アクティブ終端の回路例が示されている。

【 0 0 3 2 】

図 2 (A) の V T T タイプは並列接続されたパストランジスタ 2 2 , 2 3 を介して抵抗 R_{term} と終端電源が接続されているものである。終端電圧が電圧 V_{DDQ} の「1 / 2」の場合はこの電圧源に接続する必要がある。無論、適宜「 $V_{TT} = V_{DDQ}$ 」の電圧でも構わない。

【 0 0 3 3 】

図 2 (B) のセンタータップタイプは、直列接続されたトランジスタ 2 2 , 2 3 及び二つの抵抗 $2 \times R_{term}$ のセンタータップから終端電圧が接続されるものである。終端電圧が V_{DDQ} の「1 / 2」の場合でも新たな電圧源を用意して接続する必要がないが、消費電力が大きくなる。

【 0 0 3 4 】

なお、C A R 1 3 の入力側では、終端抵抗が挿入されている。

【 0 0 3 5 】

次に、図 3 及び図 4 に図 1 を併せ参照してメモリシステムの構造について説明する。

【 0 0 3 6 】

図示されるメモリシステムの構造では、マザーボード 3 0 上に二つのメモリモジュール 1 0 とメモリコントローラ 3 1 とが搭載されている。メモリコントローラ 3 1 と各メモリモジュール 1 0 との間の信号はそれぞれの端子間で一対一に配線接続されている。メモリモジュール 1 0 の端子は D R A M 1 2 及び C A R 1 3 から配線されるコネクタ 3 2 に設けられる。

【 0 0 3 7 】

メモリコントローラ 3 1 と各コネクタ 3 2 との間の配線をほぼ等しい長さにするため、近い方のメモリモジュール 1 0 (1) との配線はマザーボード 3 0 上の表層配線であり、遠いほうのメモリモジュール 1 0 (2) との配線は内層配線で

ある。ちなみに、グラントは表層配線と内層配線との中間にグラント層として設け、電源層は裏面に設けられている。

【0038】

次に、図5に図4を併せ参照して図4における主要動作について説明する。

【0039】

最初に、ランク-1のDRAM12にCA信号を伝送する場合、まず、メモリコントローラ31からCAR13へCA信号、及びランク-2のDRAM12に対してODT_CA信号それぞれを、WCLK信号に同期して一つのコマンドにつき二つのクロックサイクルの期間にわたって出力する。この同期は、センターアラインド（データバリッドの期間の中心にクロックエッジを与えること）により行われる。この結果、CAR13にCA信号が入力され、ランク-2のDRAM12のアクティブ終端が「オン」になる。

【0040】

次に、CAR13がCA信号をDRAM12へ出力し、ランク-1のDRAM12はCA信号をWCLK信号の矢印で示される偶数エッジで受信する。こうして、最後のCA信号を出力した半サイクル後に上記ODT_CA信号を「オフ」にする。

【0041】

また、DQ信号についてはランク-1のDRAM12にこれを書き込む場合には、ランク-2のDRAM12のDQ用アクティブ終端を「オン」にする。逆にランク-2のDRAM12にDQ信号を伝送する場合にはランク-1のDRAMのアクティブ終端を片面のみ「オン」にする。この制御はCAレジスタから行われる。読み出しの場合は従来のDDR-SDRAMと同様にDQストロブ信号に同期して伝送してもよいし、メモリコントローラが入力タイミング最適化機能を備えていれば、DQストロブは無くてもよい。

【0042】

次に、図6の構成図及び図7のシミュレーション波形図を併せ参照して本発明により改善された波形について説明する。

【0043】

本発明による「T」型分岐は隣接する D R A M 1 2 間で形成されているので、分岐配線長は 1 0 数 mm と比較的短い。このため、信号を受信するランクー 1 の D R A M 1 2 における開放端では反射が起こっても時定数が短いので、波形を大きく乱すことはなく、むしろ適度な反射によって良好な波形が得られる。

【 0 0 4 4 】

すなわち、アクティブ終端する個所を「T」型分岐構造で配線接続された D R A M 1 2 のうち、信号を受信しない側のランクー 2 の D R A M 1 2 で終端する場合、信号を受信する側のランクー 1 の D R A M 1 2 は配線が開放端になっているので、信号反射が起こり、信号波形の立ち上がり／立下りが鋭くなって波形の改善が実現している。

【 0 0 4 5 】

ちなみに、図 8 及び図 9 に、信号を受信する側のランクー 1 の D R A M 1 2 も終端した場合について構成図と波形図とを示す。この場合、終端した個所は直接到達する信号に加えて反射した信号が遅れて到達するため、信号の立ち上がり及び立下りが鈍くなってしまうことが判る。

【 0 0 4 6 】

また、図 1 0 の構成図による図 1 1 のシミュレーション波形図に示されるように、信号を受信する D R A M 1 2 の側で終端する場合も、終端した個所は直接到達する信号に加えて反射した信号が遅れて到達するため、信号の立ち上がり及び立下りが鈍くなってしまう。

【 0 0 4 7 】

上記説明では、D R A M と C A R との間における C A 信号の配線を例示しているが、D R A M と C A レジスタ以外との間の信号に対する配線であってもよいことは勿論である。例えばクロック信号については、C A レジスタに代わり P L L (位相同期ループ) 回路が適用可能である。

【 0 0 4 8 】

上記説明では、図示されたブロック構成図を参照しているが、機能ブロックの入替えなどの変更は上記機能を満たす限り自由であり、上記説明が本発明を限定するものではなく、更に、メモリモジュールの全般に適用可能なものである。

【0049】

【実施例】

次に、図12から図17までを参照して上述とは異なる実施の形態について説明する。

【0050】

この実施の形態では、図12に示されるように、18個のDRAM12が使用される。二つの追加されたDRAM12は二つのランク11-1, 11-2それぞれで隣接するペアのDRAM12にそれぞれ積層され、積層（スタック）DRAMを形成している。この構成では、図13に示されるように、メモリ群を構成する相手の通常のDRAM12でアクティブ終端する。また、図14に示されるように、この構成におけるシミュレーション波形は、図7と比較すると少々鋭さを欠いているが、図9又は図11ほどの波形の鈍化はない。

【0051】

また、図15では、積層DRAM50における信号配線を形成する実施の形態が示されている。積層DRAM50は、1枚のプリント基板51の両面にメモリチップのDRAM52, 53を貼り付けた構造である。信号配線はボール端子57から一つの配線で両面のDRAM52, 53それぞれのパッド54, 55にピアホール56を介して接続されている。

【0052】

図15（A）では、信号層が、両面のDRAM52, 53それぞれのパッド54, 55に接続されている。電圧VDDQ層及びVSSQ層それぞれはプリント基板51の両面それぞれに形成される。なお、このように積層DRAMの信号線を電源層とグランド層とで挟むとストリップラインが形成されるので信号に載るノイズが低減される。

【0053】

図15（B）では、信号層が、両面のDRAM52, 53それぞれのパッド54, 55に接続され、DRAM52, 53の一方、例えばDRAM53の側で外部接続される。電圧VDDQ層及びVSSQ層のそれぞれはプリント基板51の内層に形成される。また、このように、電源層とグランド層とを隣接させること

により、電源とグランドとの間のループインダクタンスが小さくなり電源及びグランドにおけるノイズが低減される。

【0054】

図16は、積層DRAM50のCA信号を取出す配線について示している。図15(A)に示されるように、積層DRAM50のCA信号をパッケージ基板51の内層からモジュール基板61に取出すと共に、パッケージ基板62の内層から積層DRAM50の裏面に設けられるDRAM63のCA信号をモジュール基板61に取出している。すなわち、CA信号配線は一つの配線で両面のDRAM50, 63に接続されている。また、積層DRAMが接続されているCA信号配線は負荷が重くなり、遅延時間が少し大きくなるので、他の構造のCA信号配線より、少し短くして他のCA信号とタイミングを合わせるとよい。

【0055】

図17は、積層DRAM50のDQ信号を取出す配線について示している。積層DRAM50と裏面のDRAM63との配置は図16と同一である。しかし、DQ信号はDRAM52, 53, 63それぞれのパッドから単独に取出される。すなわち、DQ信号配線は1つの配線で片面のDRAMのパッドに接続されていることになる。

【0056】

次に、図18を参照して図12とは異なるECC付きの18個のDRAMを使用する実施の形態について説明する。

【0057】

図示されるように、メモリモジュール70でのランク71の構成は、モジュール基板の表裏面それぞれに9個ずつ通常のDRAM72が搭載される。搭載されるDRAM72の5番目に当たる中央のDRAM72のみ、表裏面それぞれがランク-1及びランク-2それぞれに対応している。ここで、1番から9番までと表面側「A」と裏面側「B」としてDRAMにこれらを付与することとする。

【0058】

従って、DRAM1A、1B、3A、3B、5B、6A、6B、8A、及び8Bをランク-1とする。また、DRAM2A、2B、4A、4B、5A、7A、

7 B、9 A、及び 9 B をランクー 2 とする。中央部分のペアは、ランクー 1 の D R A M 5 B、6 A、及び 6 B とランクー 2 の D R A M 7 A、7 B とであり、また、ランクー 1 の D R A M 3 A、3 B とランクー 2 の D R A M 4 A、4 B、及び 5 A とである。これらは、上述と同様に「T」型分岐を構成する。

【0059】

勿論、C A R 7 3 からランクー 1 の D R A M 7 2 に C A 信号を送信する場合、ランクー 2 の D R A M 7 2 の C A 用アクティブ終端を「オン」にする。逆に、ランクー 2 の D R A M 7 2 に C A 信号を送信する場合にはランクー 1 の D R A M 7 2 の片面のみの C A 用アクティブ終端を「オン」にする。またこの例を実施する場合、図示されるように C A R 7 3 を D R A M 7 2 の下に配置するとよい。この場合、メモリモジュール 7 0 の C A 信号端子からの「T」型分岐が大きくなるので、配線インピーダンス整合用の抵抗 $R (= Z_m - Z_0 / 2)$ を挿入する。ここで「 Z_m 」はマザーボード配線の特性インピーダンスであり、更に「 Z_0 」はメモリモジュール配線の特性インピーダンスである。これにより C A R 7 3 と D R A M 7 2 との間の配線長が短くでき、かつ信号伝播時間が短くなるので、より高速クロック化に対応することもできる。

【0060】

次に、図 19 を参照して図 12 及び図 18 とは異なる E C C 付きの 18 個の D R A M を使用する実施の形態について説明する。

【0061】

図示されるように、メモリモジュール 8 0 でのランク 8 1 の構成は、上記図 18 と同様、モジュール基板の表裏面それぞれに 9 個ずつ通常の D R A M 8 2 が搭載される。9 個の D R A M 8 2 は隣接する 3 個ずつのメモリ群を隣接するランクー 1、ー 2 に属するものとする。また、3 個のうちの中央に位置する D R A M 8 2 は、表裏面それぞれがランクー 1 及びランクー 2 それぞれに対応させる。ここで、1 番から 9 番までと表面側を「A」とし裏面側を「B」として D R A M にこれらを付与することとする。

【0062】

従って、図示される C A 信号配線は、D R A M 1 A ~ 3 A、1 B ~ 3 B から C

AR83-1に接続され、かつ、DRAM7A~9A, 7B~9BからCAR83-2に接続される。また、DRAM4A~6A, 4B~6BからのCA信号配線は、CAR83-1又はCAR83-2に接続される。勿論、適宜、CAR83-1, 83-2の両者に接続してもよい。この構成においては、三つのDRAM82で構成されるランク81のペアグループそれぞれの配線形状を同一にして配線長のばらつきを抑えることができるので、ペアグループ間の波形のばらつきが低減される。

【0063】

次に、図20を参照してECC付きで9個のDRAMを使用する実施の形態について説明する。

【0064】

図示されるように、メモリモジュール90でのランク91の構成は、上記図12において、モジュール基板の表裏面のランク-1部分のみに積層DRAM93を含む9個の通常DRAM92が搭載され、ランク-2の部分ではペアになるDRAMの代わりに固定抵抗Rfを備えて終端回路としている。CAR94の配置及び信号の配線は図12と同一でよい。

【0065】

次に、図21を参照してクロック信号の配線に関する実施の形態について説明する。すなわち、上述したように、CAレジスタの代わりに、各DRAMに接続されるクロック信号をPLL101からとってもよい。その際には、クロック信号配線は隣接DRAM間をペアとする「T」型分岐配線で構成し、それぞれ、信号を受信しない方のDRAMで終端することになる。

【0066】

次に、メモリシステムにおけるタイミングマージンについて検証する。

【0067】

上述したように、メモリコントローラからメモリコントローラに近い側のメモリモジュールへの信号配線は内層配線が用いられ、メモリコントローラから遠い側のメモリモジュールへの信号配線は表層配線が用いられる。

【0068】

本発明のメモリシステムでは二つのメモリモジュールへ同時にアクセスする。そこで、メモリコントローラから距離の違う二つのメモリモジュールへ同じ信号伝播時間を有する配線を用いてアクセスすると読み出しの際にメモリコントローラへの信号入力タイミングに差が出る。従って、タイミングマージンを削減してしまうこととなる。

【0069】

ところが一般に表層配線での信号伝播時間は 6 ns/m 程度であり、一方、内層配線での信号伝播時間は 7 ns/m 程度である。すなわち、内層配線の方が表層配線より信号伝播時間が大きい。また、メモリコントローラからメモリコントローラに近い側のメモリモジュールへの信号配線は 100 mm 程度、メモリコントローラからメモリコントローラに遠い側のメモリモジュールへの信号配線は 120 mm 程度である。従って、メモリコントローラからメモリコントローラに近い側のメモリモジュールへの信号配線は内層配線が用い、メモリコントローラからメモリコントローラに遠い側のメモリモジュールへの信号配線は表層配線が用いられている。この結果、メモリコントローラと2つのメモリモジュールとの間における信号伝播時間がほぼ同じにでき、読み出しの際のメモリコントローラにおける入力タイミングマージンの削減を小さくできる。

【0070】

次に、図22を参照して図4に示したとは異なるメモリシステムの構造について説明する。メモリコントローラ113と二つのメモリモジュール110(1)及びメモリモジュール110(2)それぞれのCARとの間におけるCA信号配線を「T」型分岐で構成してもよい。このような構成によりメモリコントローラ113のピン数又は配線数が少なくなるので、コスト低減が可能となる。

【0071】

次に、図23及び図24を併せ参照してODT_CA信号の伝搬回路について説明する。

【0072】

図示されるように、メモリコントローラ130から受けるODT_CA(CA用アクティブ終端制御)信号は、メモリモジュール120内のDRAM121内

でラッチ回路 122 に接続する。ラッチ回路 122 の出力信号を ODT__CA 用アクティブ終端制御信号とする。最初、ODT__CA 信号がレベル L からレベル H に遷移している間、終端回路 123 はグランドに終端する。次いで、ODT__CA 信号がレベル H に達した際に終端回路 123 は電圧 V_{DDQ} に終端する。次いで、ODT__CA 信号がレベル H からレベル L に遷移している間も、終端回路 123 は電圧 V_{DDQ} に終端し、ODT__CA 信号がレベル L に達した際に終端回路 123 はグランドに終端する。

【0073】

また、信号反射によるノイズを低減するために、メモリコントローラ 130 の ODT__CA 信号出力回路 131 の出力抵抗 R_{on} は ODT__CA 信号配線の特性インピーダンス Z_0 と整合させ、抵抗値「 $R_{on} = Z_0$ 」として出力端の終端も併せて実施する。

【0074】

このように、ODT__CA 信号を信号レベルに応じて電源電圧レベル H 又はグランドレベル L にラッチし、レベル H にラッチされた場合にはグランド側、またレベル L にラッチされた場合には電源電圧レベル側それぞれの ODT__CA 用アクティブ終端 124 を「オフ」するので ODT__CA 用アクティブ終端 124 には電流が流れず、DRAM 121 の消費電力を削減することができる。

【0075】

上記説明では、信号をシングルエンド信号として記述したが、差動信号であってもよい。

【0076】

【発明の効果】

以上説明したように本発明のメモリモジュールによれば、高速信号での書込み読み出しに対しても波形の乱れを抑圧でき、確実にメモリの機能を達成できるという効果を得ることができる。

【0077】

その理由は、本発明によるメモリモジュールでは、一つは表裏面または隣接するような接近した位置の DRAM をメモリ群に形成し、更に隣接するメモリ群の

DRAMをペアとする「T」型分岐構造によりCARなどの内部デバイスと接続する配線形状を有しているため、分岐配線長が短い。また他の一つは、ペアを形成する二つのランクの受信側を開放端とし、受信しない側でアクティブ終端しているため反射を小さく抑えている。この結果、反射による波形への影響を極めて少なくできるからである。

【図面の簡単な説明】

【図1】

本発明のメモリモジュールにおけるブロック配線と構造との実施の一形態を示す図である。

【図2】

(A)は本発明に適用可能なVTTタイプのアクティブ終端回路の一形態を示す図、また(B)は本発明に適用可能なセンタータップタイプのアクティブ終端回路の一形態を示す図である。

【図3】

本発明のメモリシステムに対応する構造の実施の一形態を説明する図である。

【図4】

本発明のメモリシステムにおける信号配線の実施の一形態を示す図である。

【図5】

本発明のメモリモジュールにおける動作の実施の一形態を説明するタイムチャートである。

【図6】

本発明のメモリモジュールに対応する「T」型分岐構造の実施の一形態を示す模式図である。

【図7】

図6の計測点におけるシミュレーション波形の一形態を示す図である。

【図8】

図6において全てのDRAMでアクティブ終端した場合の実施の一形態を示す模式図である。

【図9】

図 8 の計測点におけるシミュレーション波形の一形態を示す図である。

【図 10】

図 6 においてアクティブ終端を信号受信側の D R A M に移動した場合の実施の一形態を示す模式図である。

【図 11】

図 10 の計測点におけるシミュレーション波形の一形態を示す図である。

【図 12】

図 1 において二つの D R A M を積層化し 18 個搭載とした場合のメモリモジュールにおけるブロック配線と構造との実施の一形態を示す図である。

【図 13】

図 12 に示す本発明のメモリモジュールに対応する「T」型分岐構造の実施の一形態を示す模式図である。

【図 14】

図 13 の計測点におけるシミュレーション波形の一形態を示す図である。

【図 15】

図 12 の積層 D R A M のパッケージ基板における信号線の配線形状の一形態を示す図である。

【図 16】

図 12 における C A 信号線の配線形状の一形態を示す図である。

【図 17】

図 12 における D Q 信号線の配線形状の一形態を示す図である。

【図 18】

図 12 とは異なる 18 個の D R A M を搭載した場合の本発明のメモリモジュールにおけるブロック配線と構造との実施の一形態を示す図である。

【図 19】

図 12 または図 18 とは異なる 18 個の D R A M を搭載した場合の本発明のメモリモジュールにおけるブロック配線と構造との実施の一形態を示す図である。

【図 20】

図 1, 12, 18、または図 19 とは異なる本発明のメモリモジュールにおけ

るブロック配線と構造との実施の一形態を示す図である。

【図 2 1】

本発明のメモリモジュールにおけるクロック信号線の配線に対する実施の一形態を示す図である。

【図 2 2】

図 4 とは異なる本発明のメモリシステムにおけるブロック配線の実施の一形態を示す図である。

【図 2 3】

本発明のメモリシステムにおける CA 用アクティブ終端制御回路の実施の一形態を示す図である。

【図 2 4】

図 2 3 に示される本発明のメモリモジュールにおける動作の実施の一形態を説明するタイムチャートである。

【図 2 5】

従来のメモリモジュールにおけるブロック配線の一例を示す図である。

【図 2 6】

図 2 5 におけるシミュレーション波形の一例を示す図である。

【符号の説明】

10、40、70、80、90、100、110、120 メモリモジュール

11、71、81、91 ランク

12、52、53、63、72、82、92、121 DRAM

13、73、83、94、125 CAR (コマンドアドレスレジスタ)

14、15、112 終端抵抗

30 マザーボード

31、113、130 メモリコントローラ

32 コネクタ

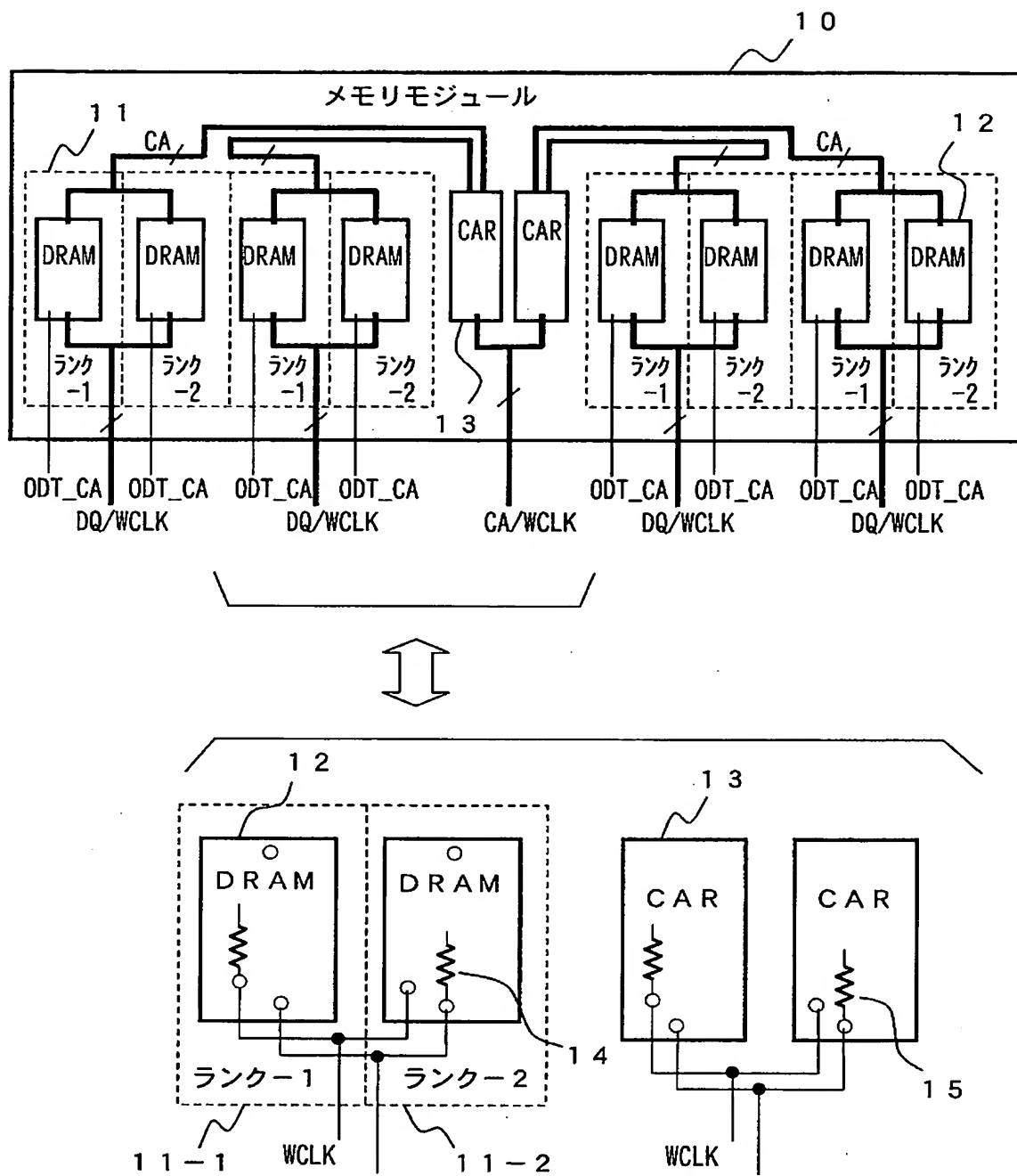
41、50、93 積層 DRAM

51 プリント基板

- 5 4、5 5 パッド
- 5 6 ピアホール
- 6 1 モジュール基板
- 6 2 パッケージ基板
- 6 4 応力緩衝材もしくは熱伝導材
- 1 0 1、1 1 1 P L L（位相同期ループ）
- 1 2 2 ラッチ回路
- 1 2 3 終端回路
- 1 2 4 O D T _ C A 用 アクティブ 終端
- 1 3 1 O D T _ C A 信号出力回路

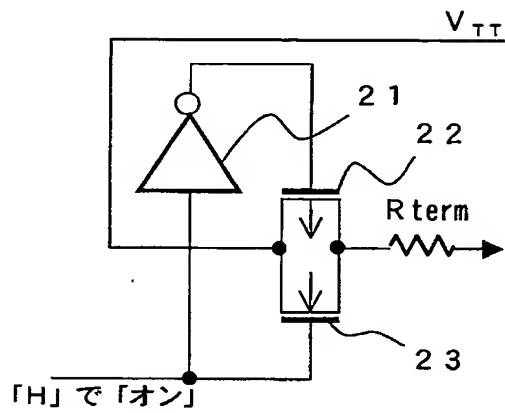
【書類名】 図面

【図 1】

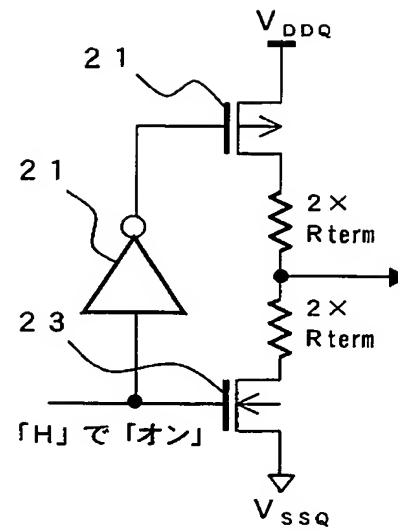


【図 2】

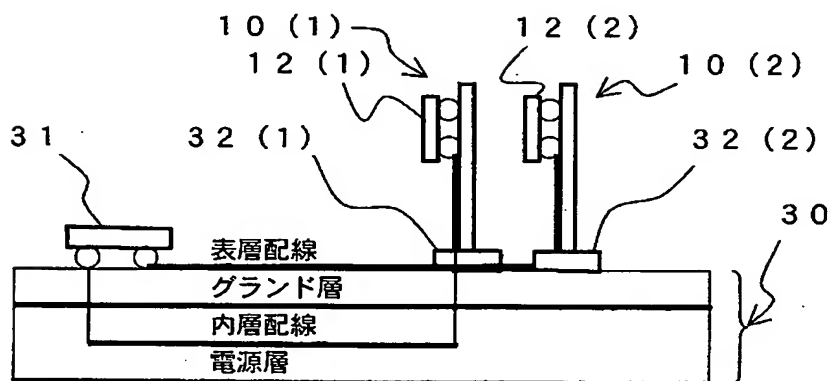
(A)



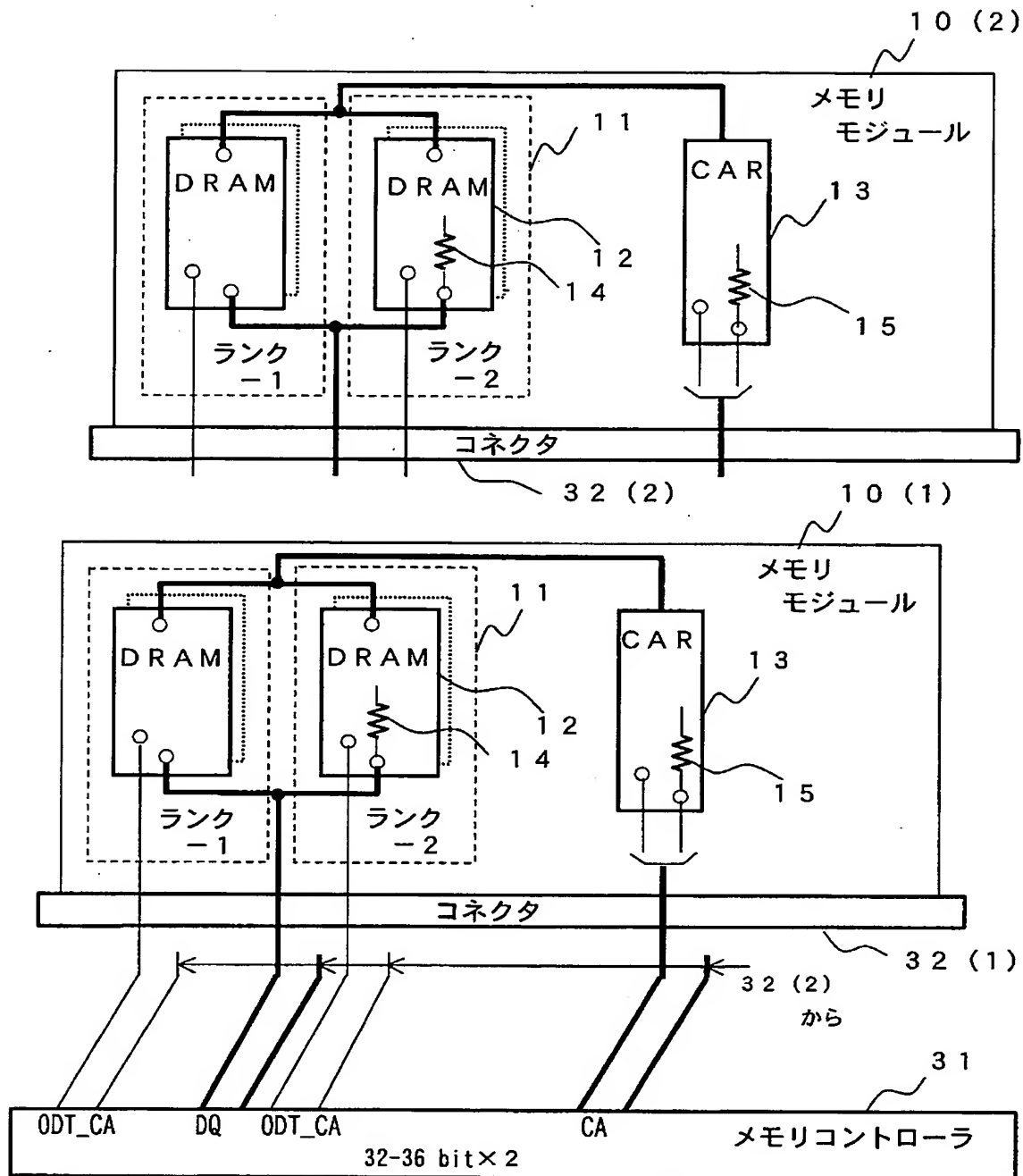
(B)



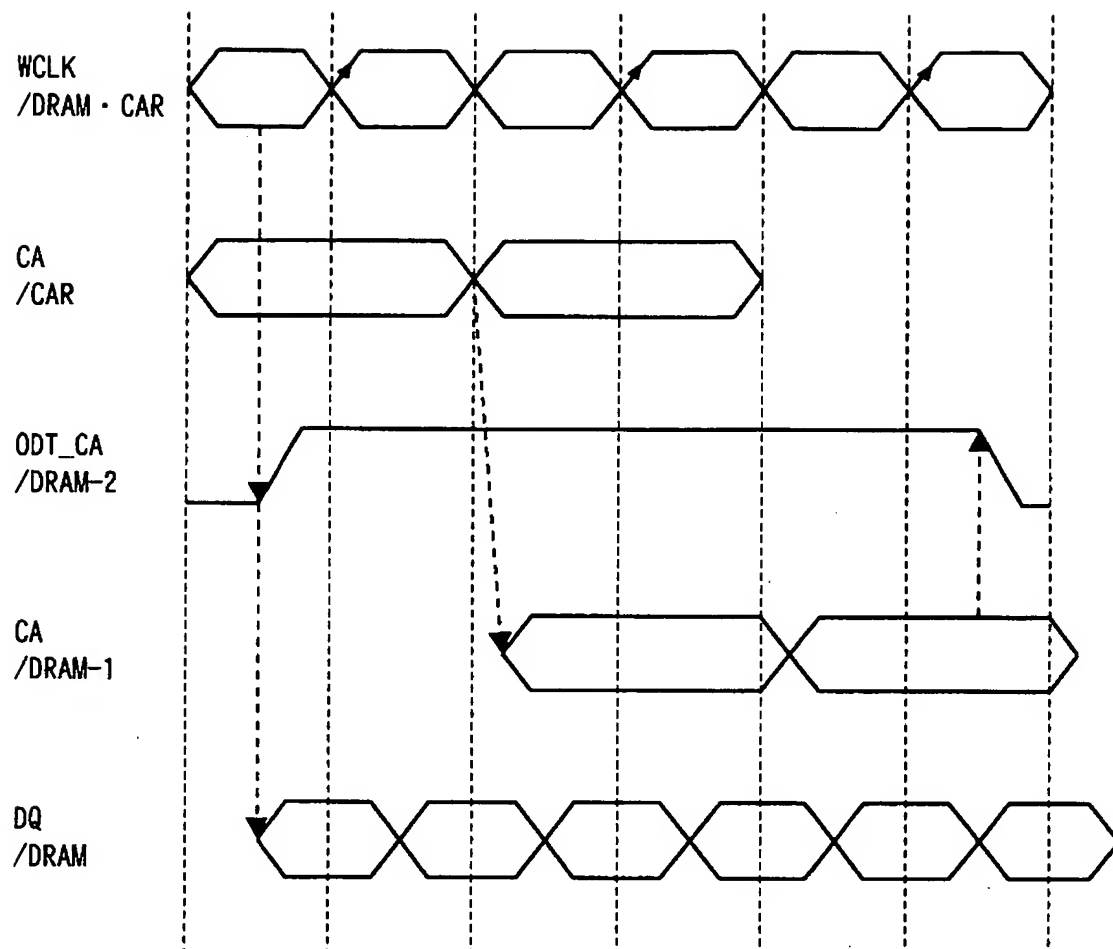
【図 3】



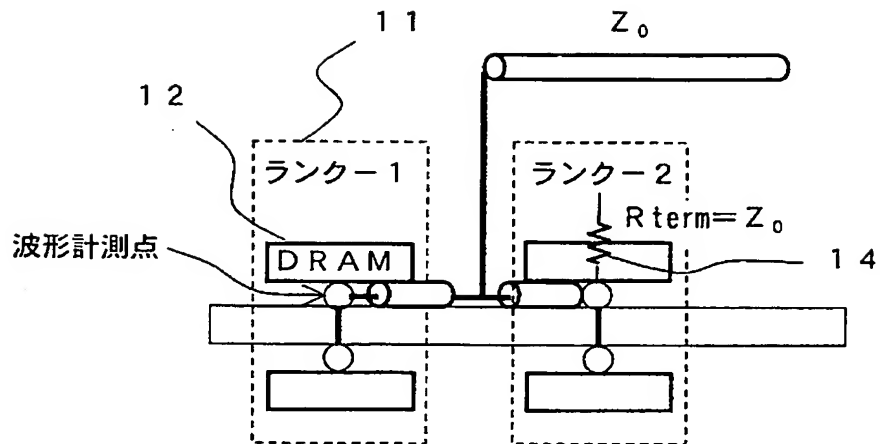
【図 4】



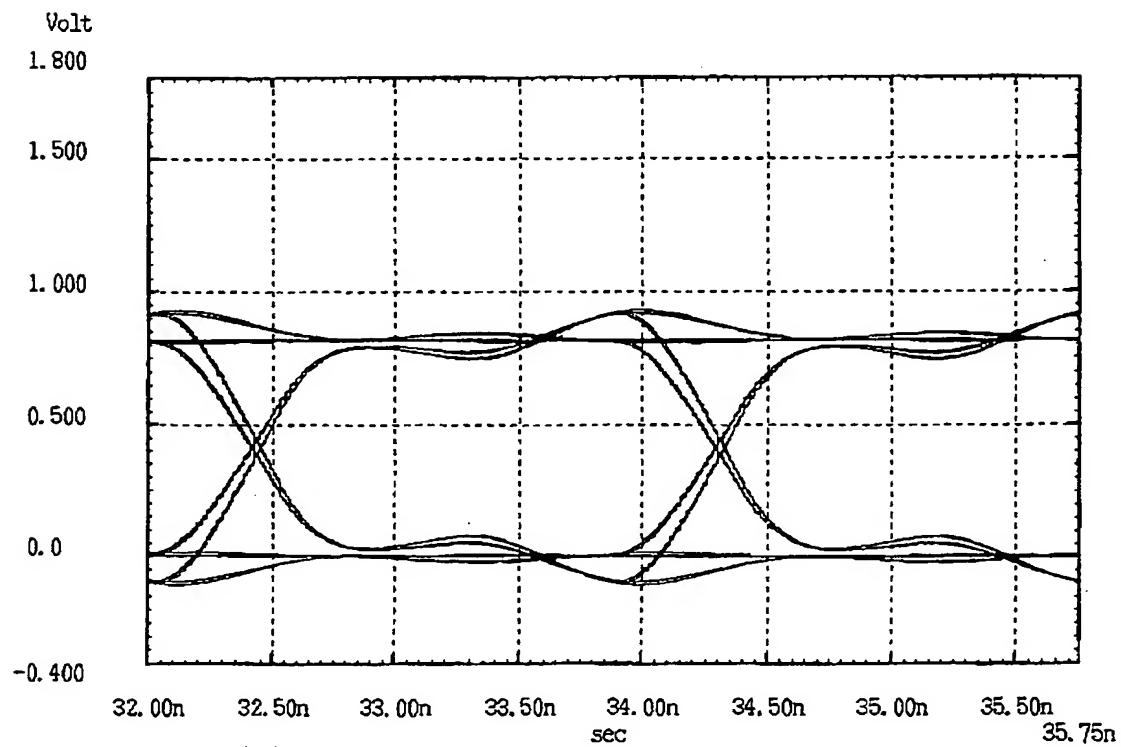
【図 5】



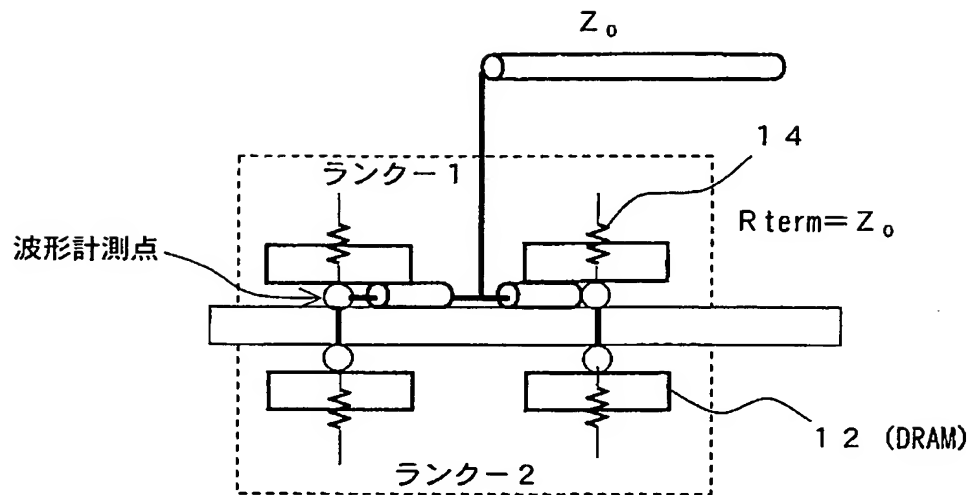
【図 6】



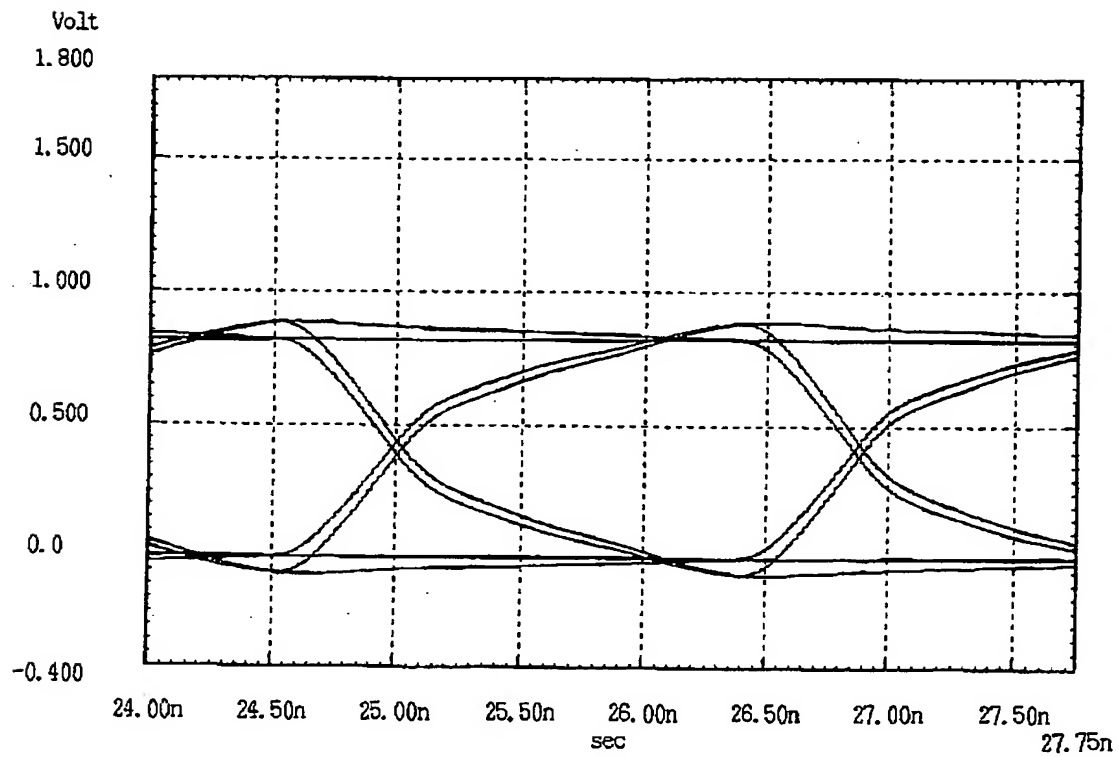
【図 7】



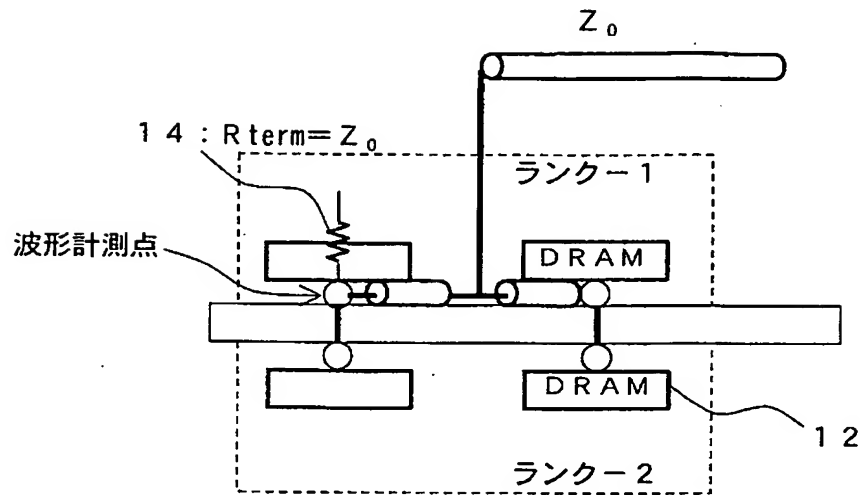
【図 8】



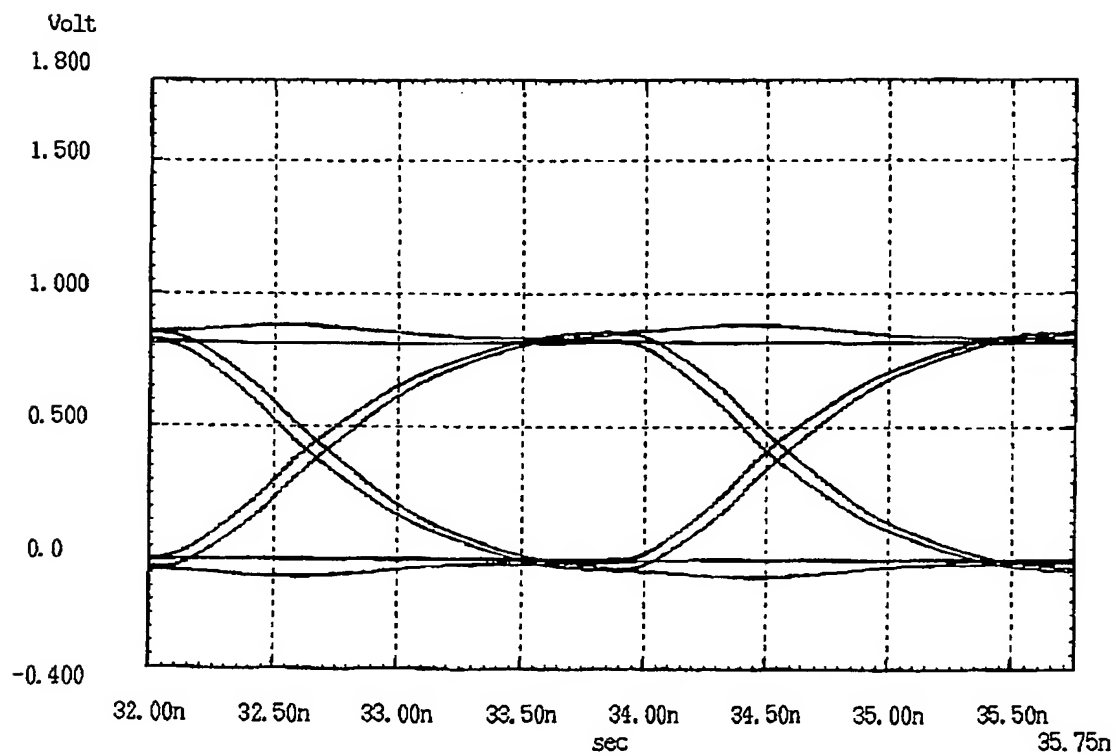
【図 9】



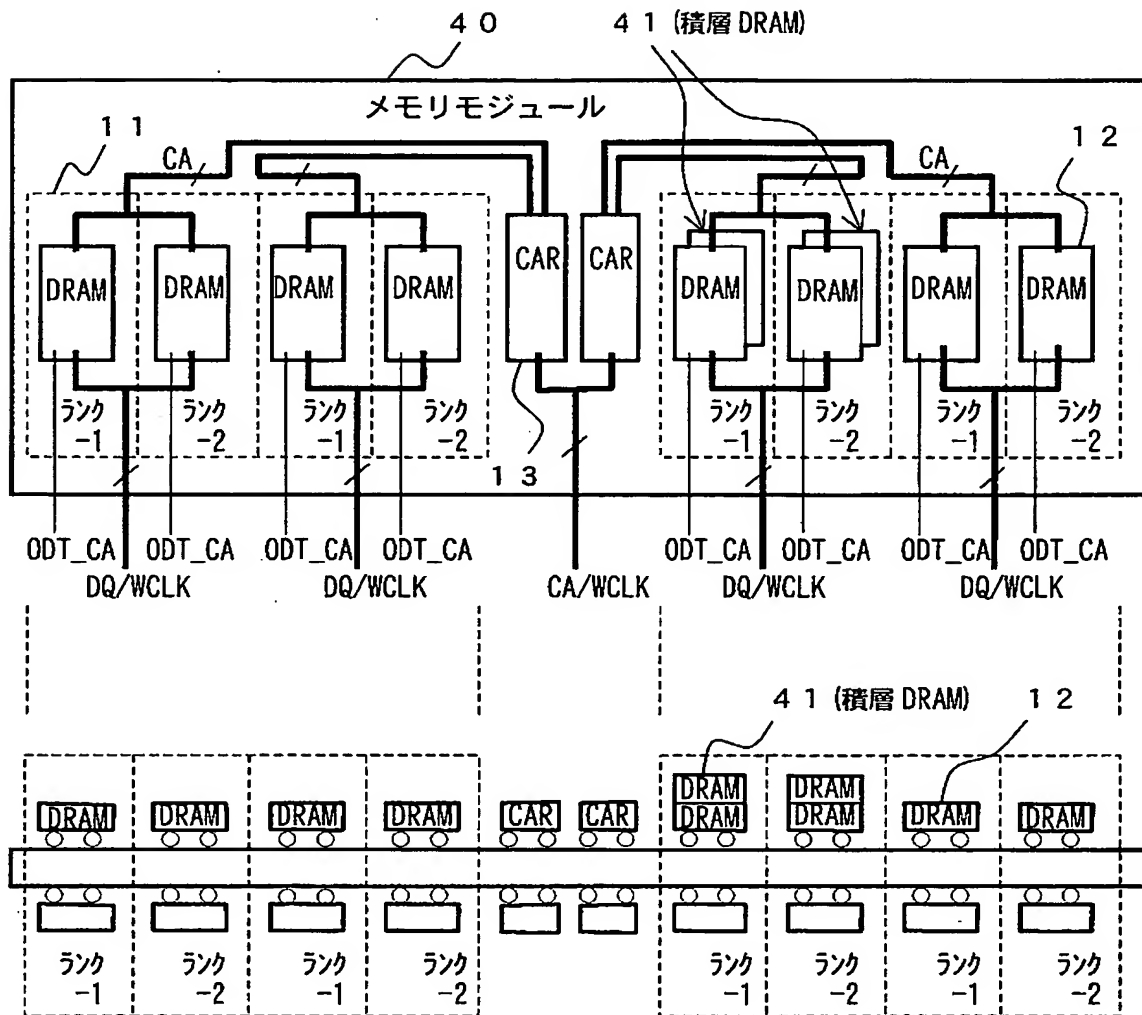
【図 10】



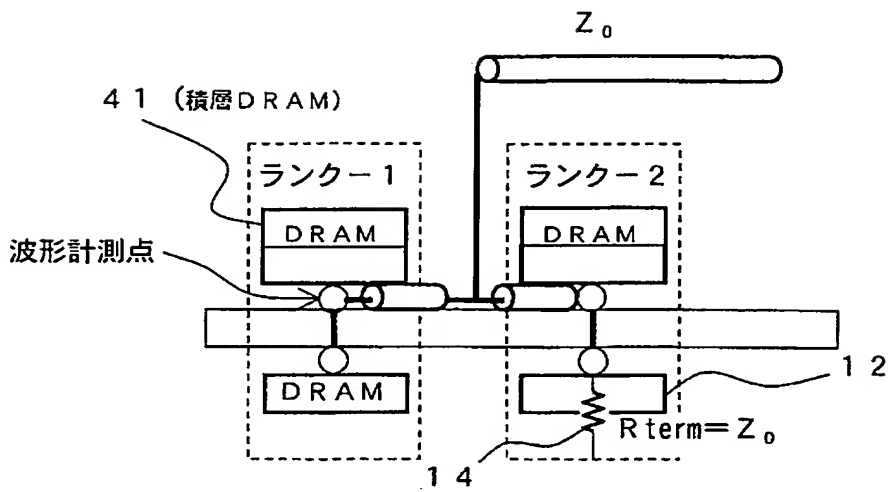
【図 11】



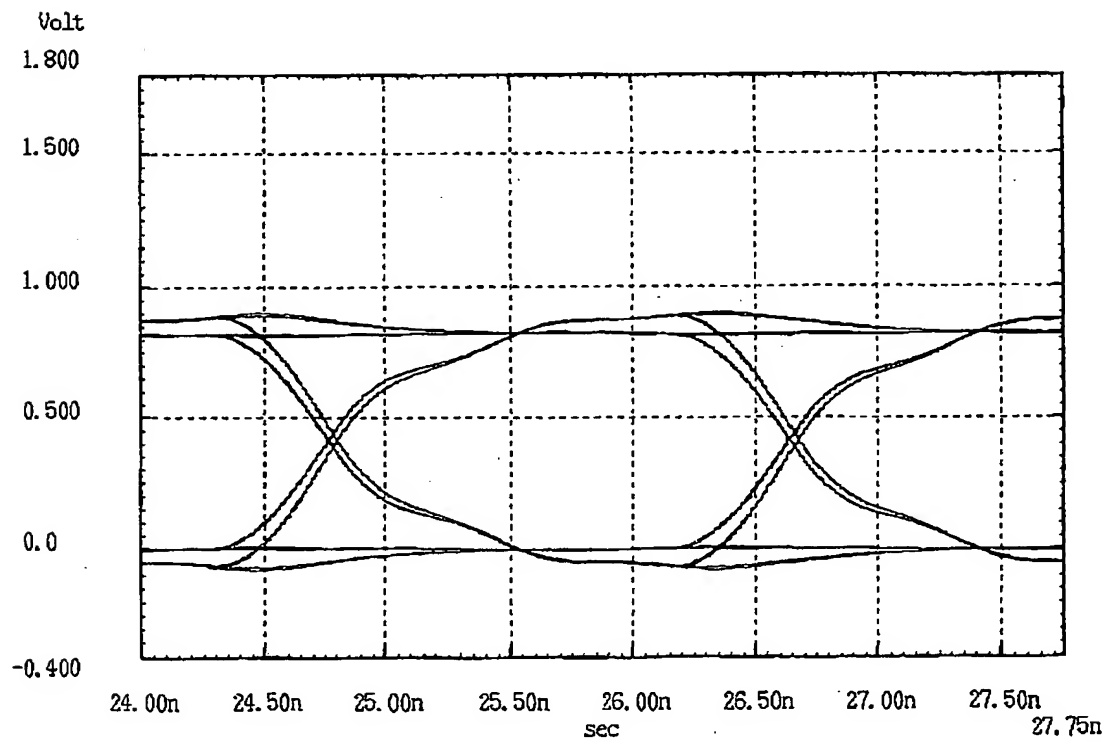
【図 12】



【図 13】

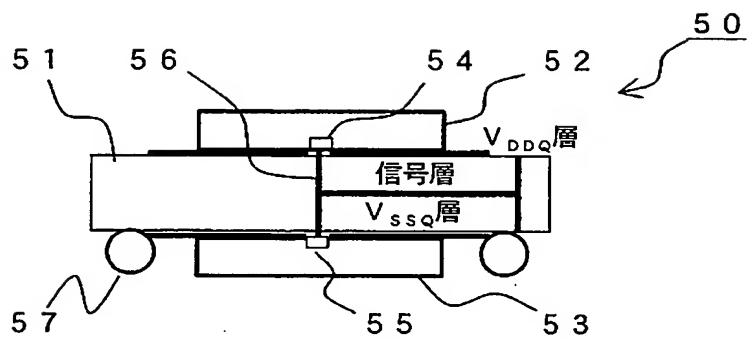


【図 14】

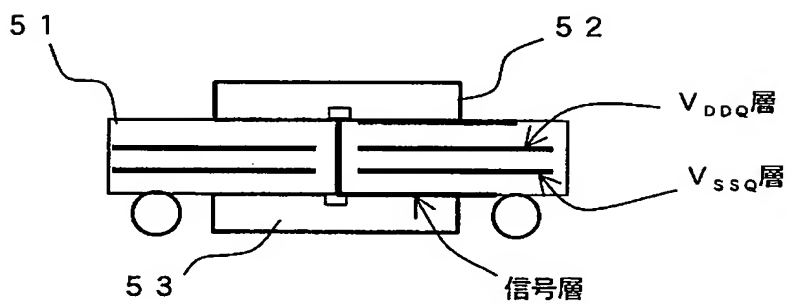


【図 15】

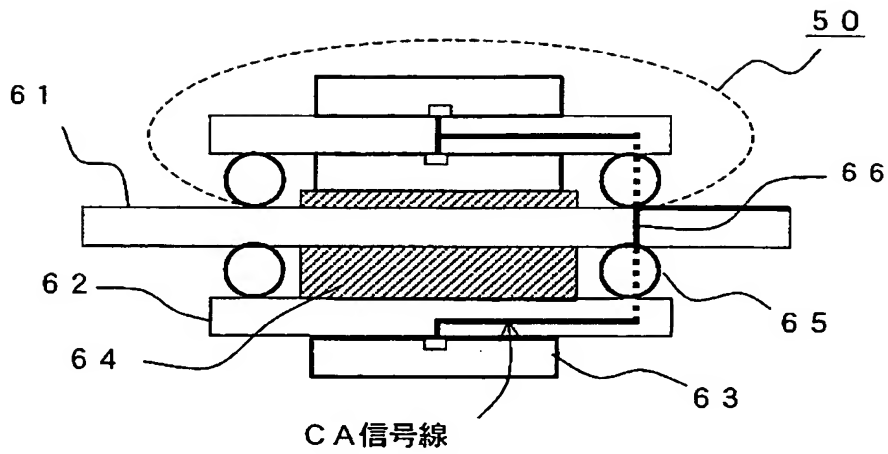
(A)



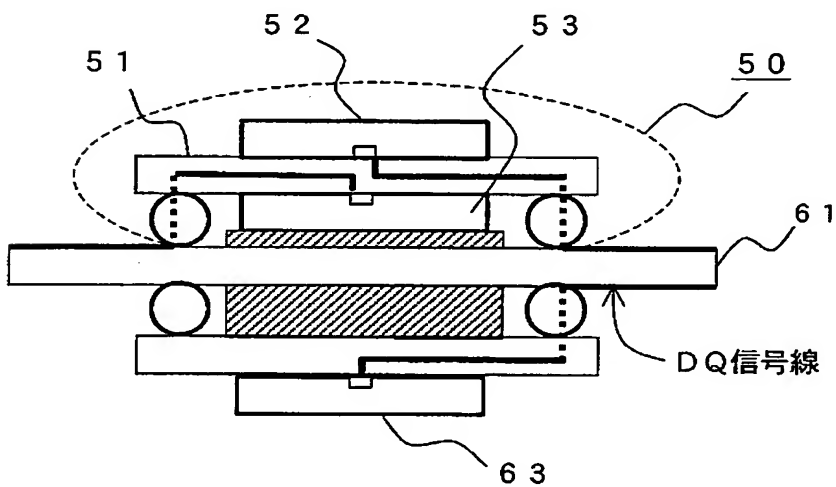
(B)



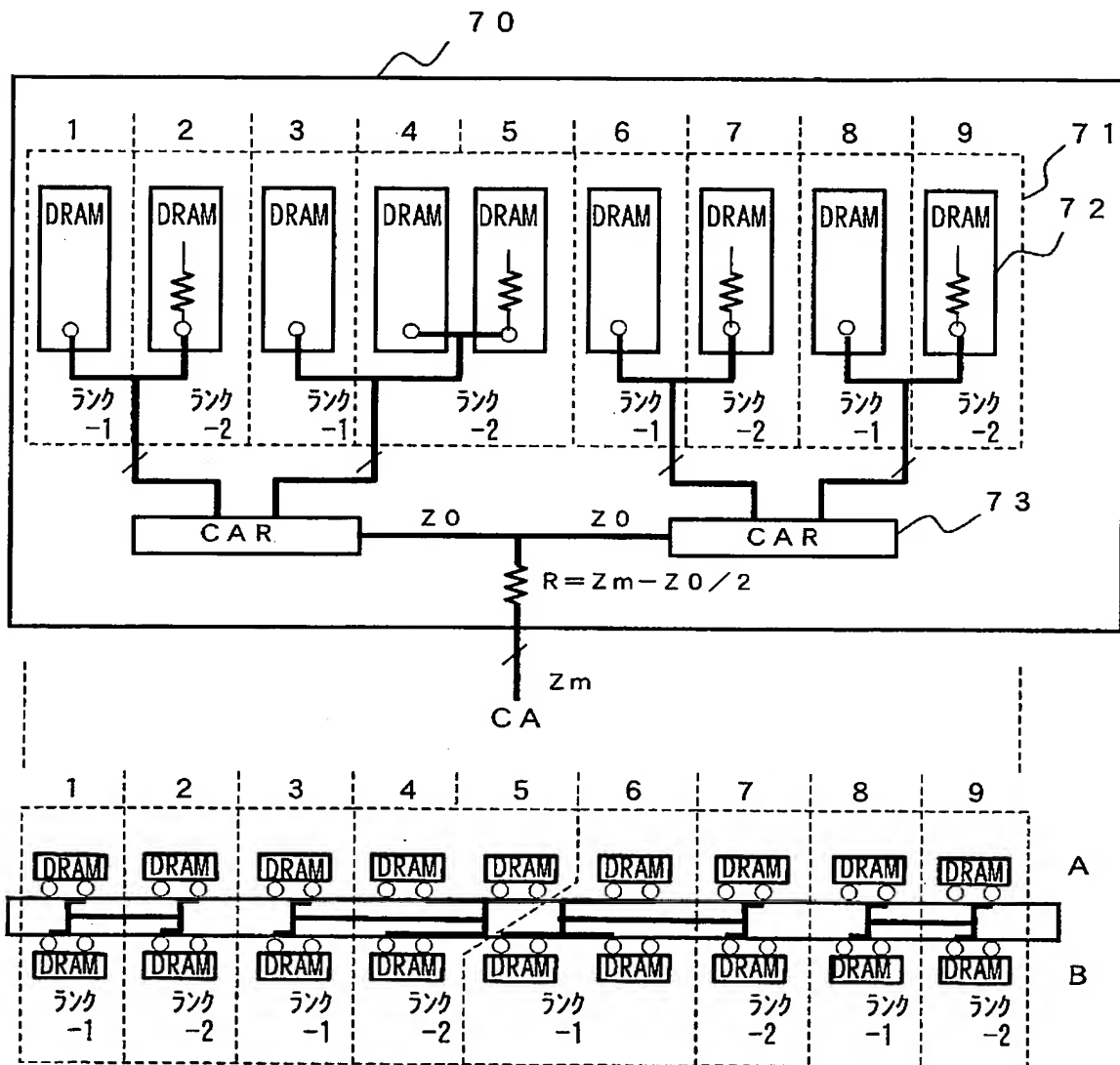
【図 16】



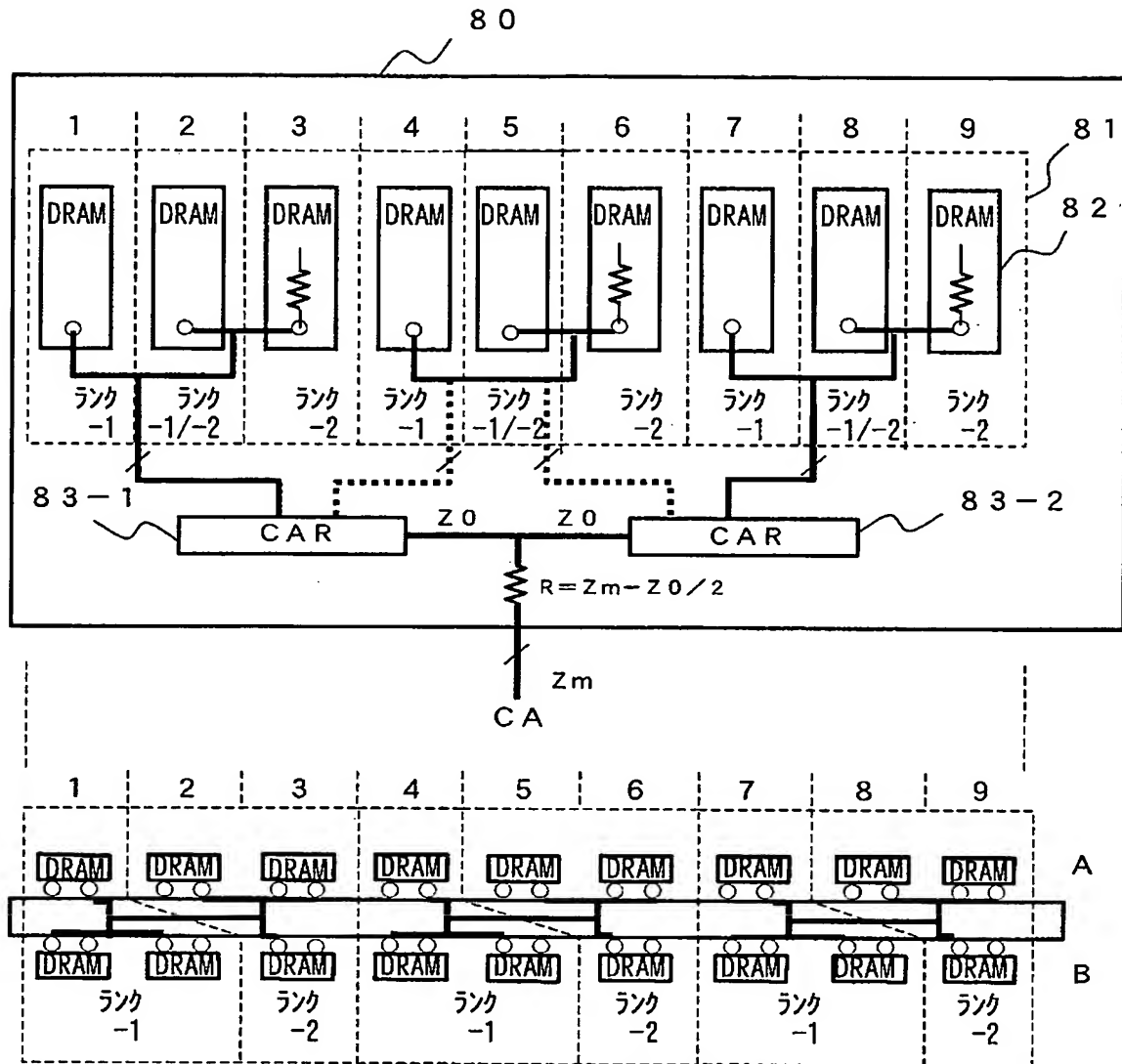
【図 17】



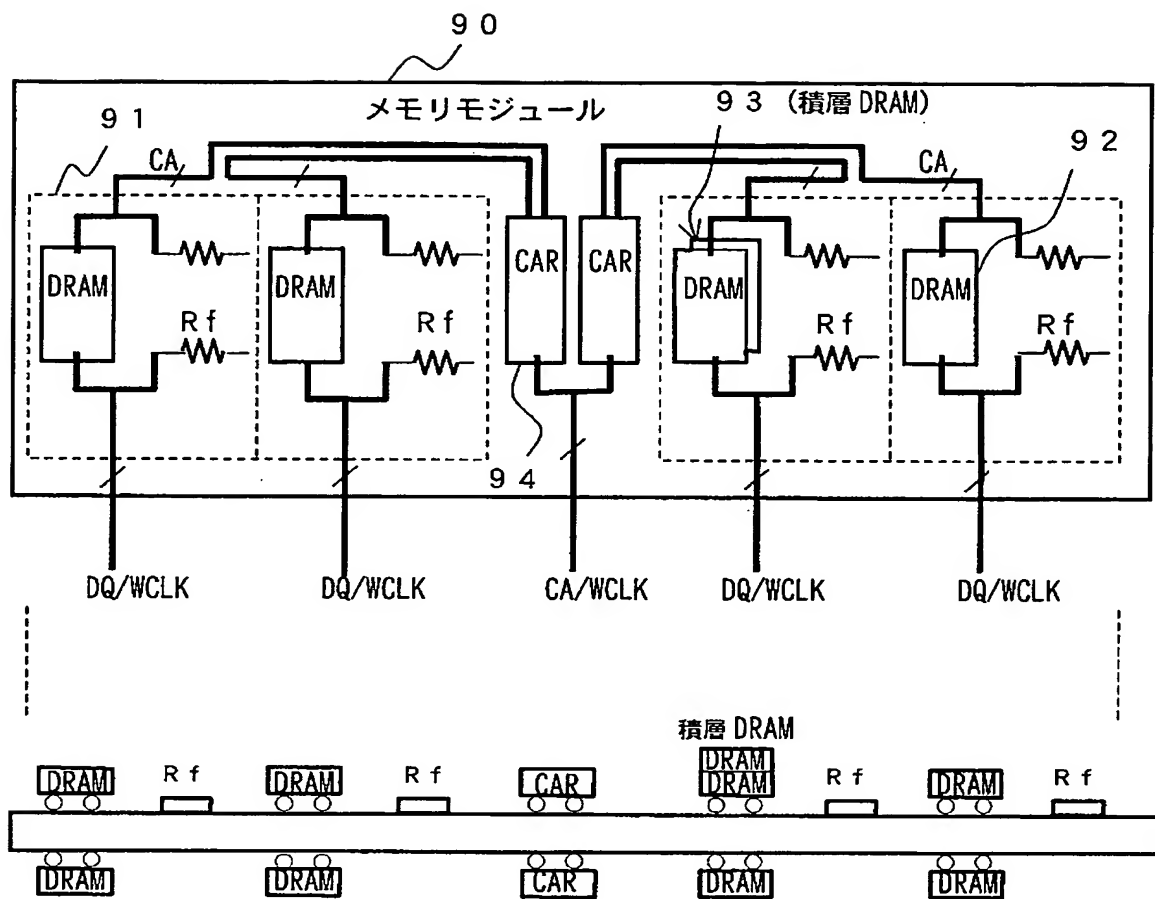
【図 18】



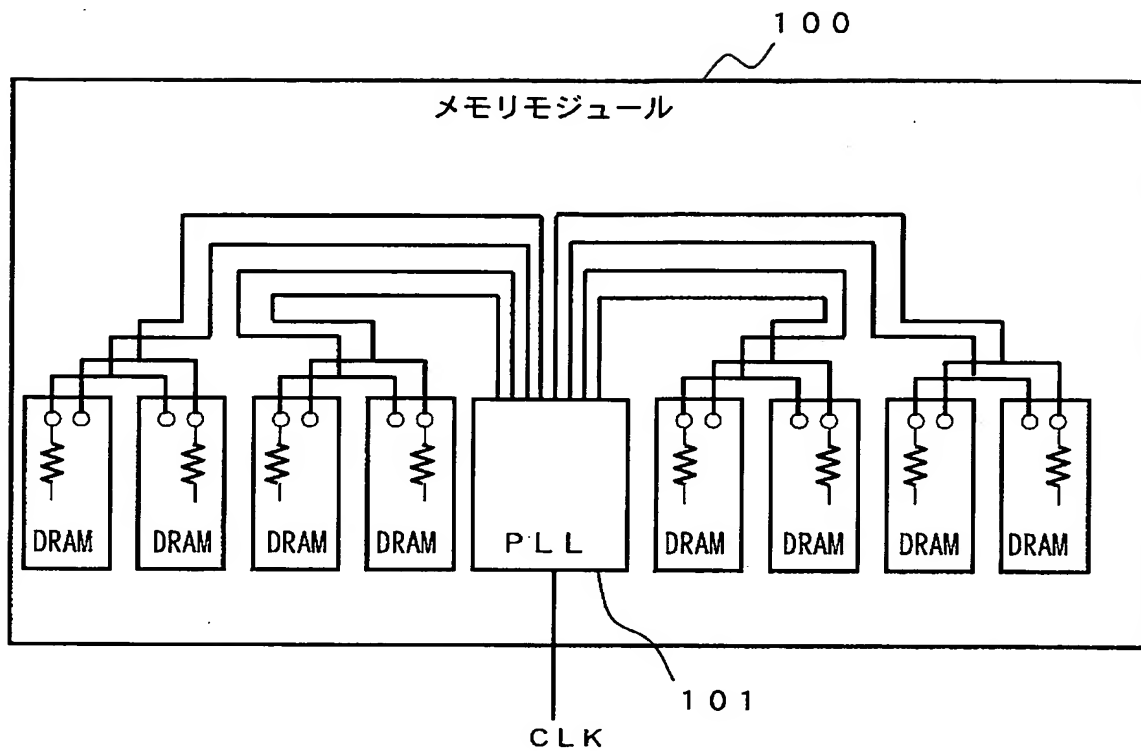
【図 19】



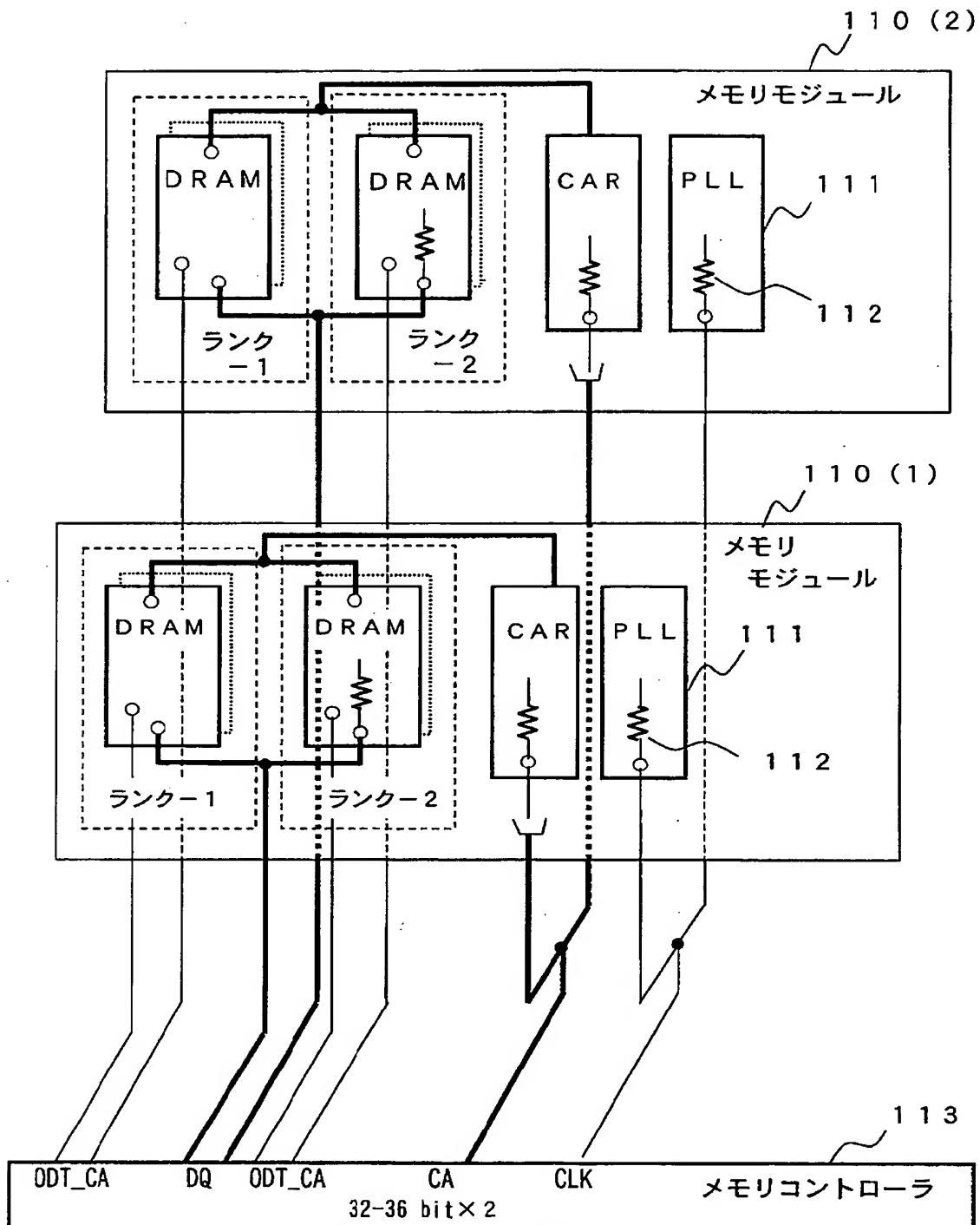
【図 20】



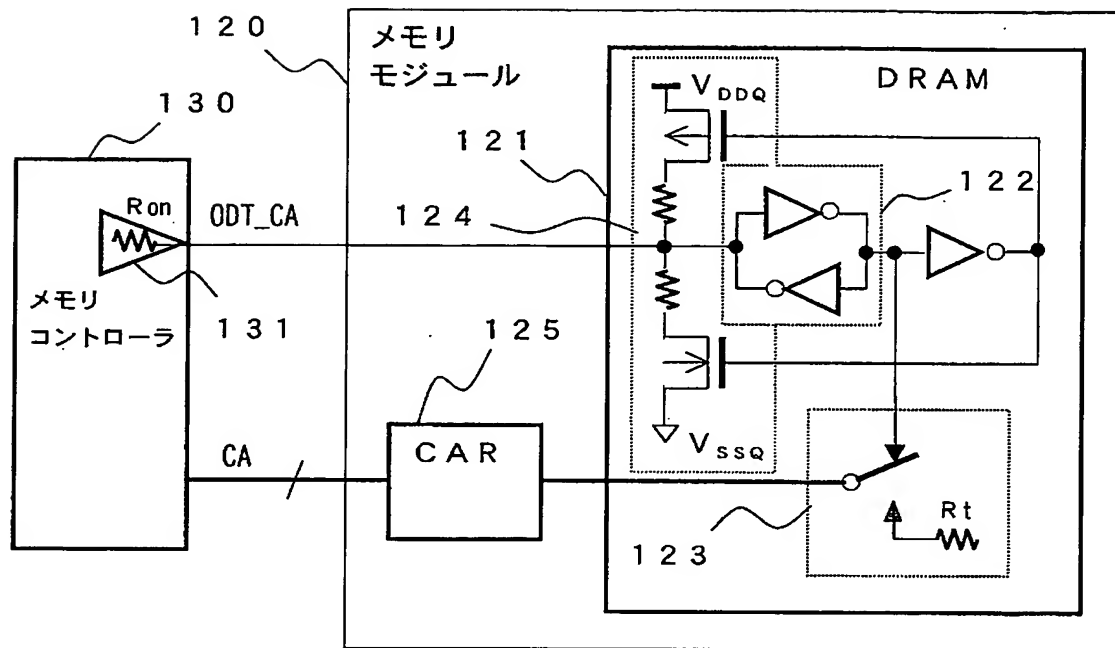
【図 21】



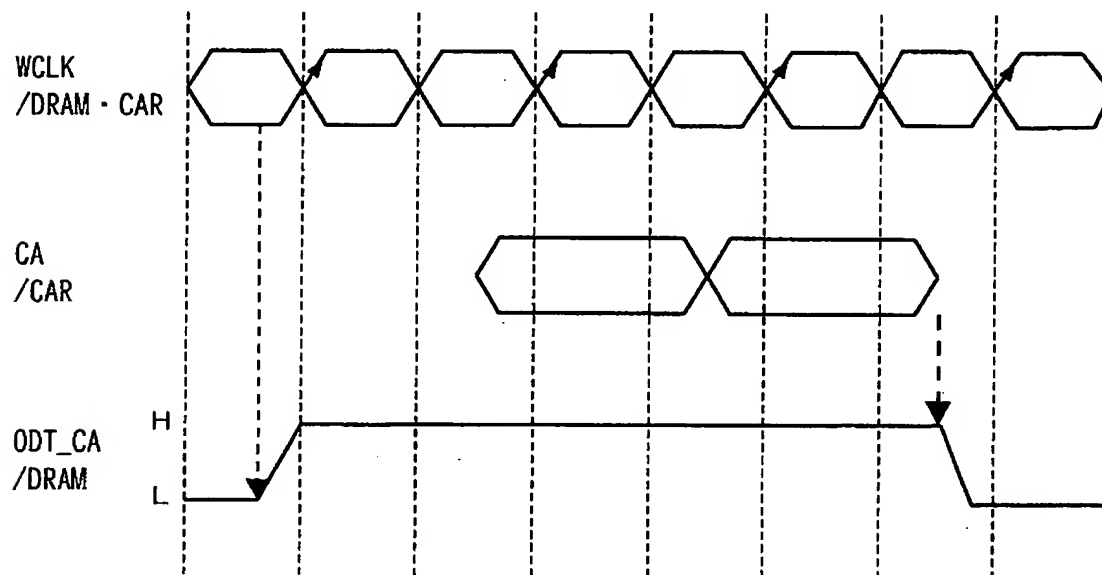
【図 22】



【図 2 3】

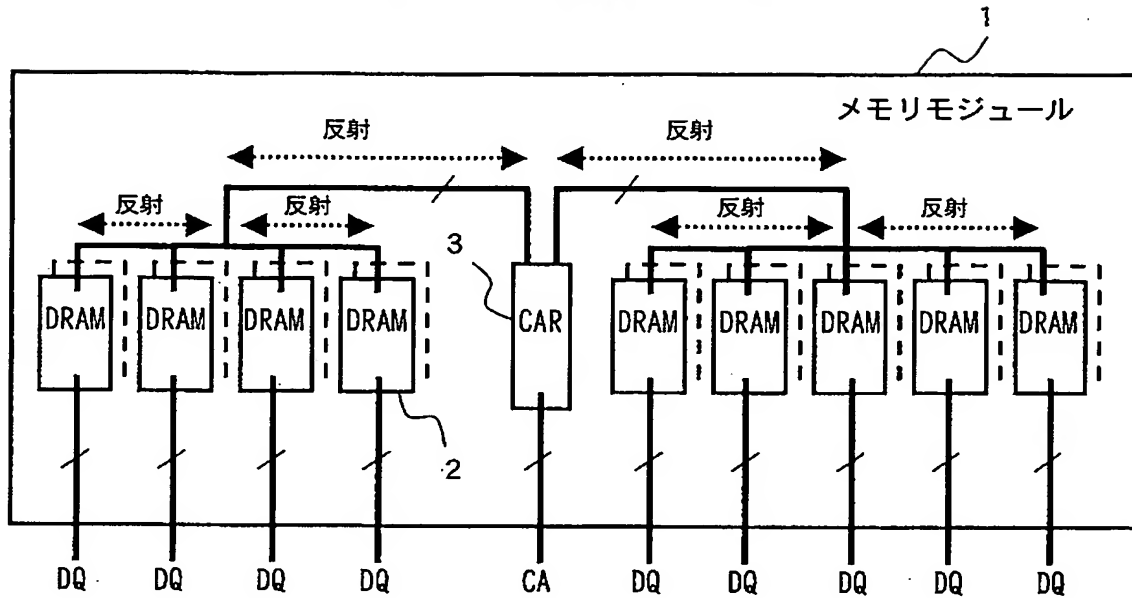


【図 2 4】

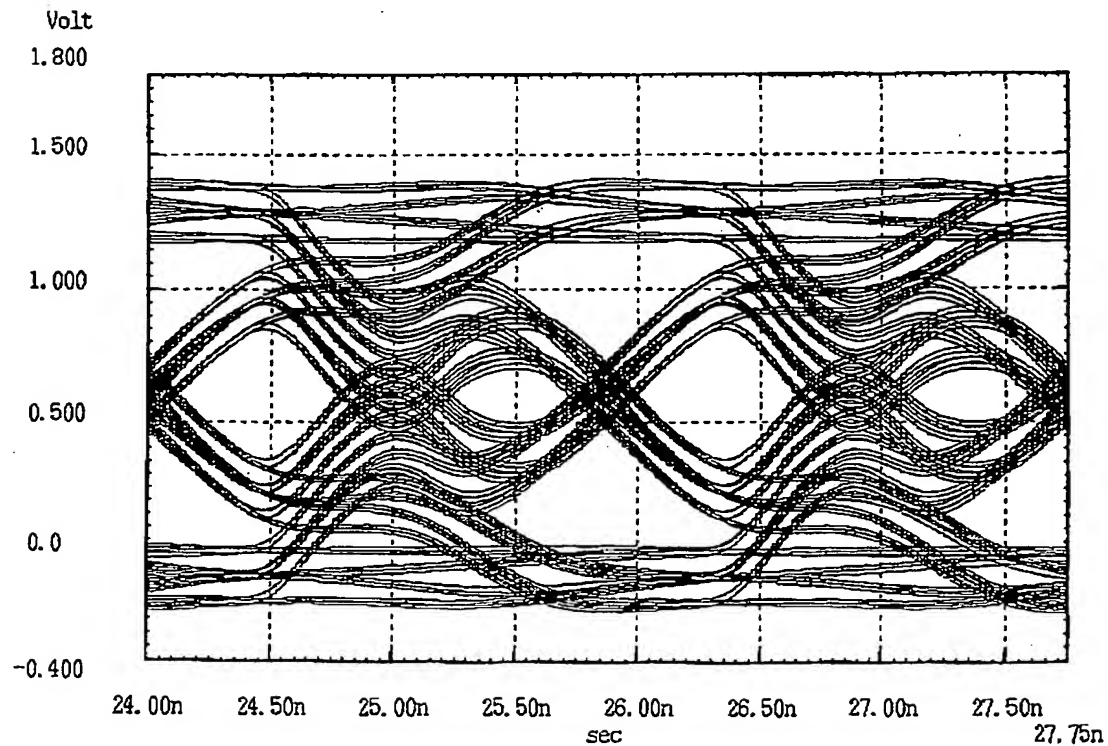


【図 25】

BEST AVAILABLE COPY



【図 26】



【書類名】 要約書

【要約】

【課題】 高速信号での書込み読み出しに対しても波形の乱れを抑圧できる。

【解決手段】 メモリモジュール 1 0 では、表裏面または隣接するような接近した位置の D R A M 1 2 をメモリ群としてかつ隣接するメモリ群をランクー 1 とランクー 2 とのペアとする分岐配線長が短い「T」型分岐構造により C A R 1 3 と接続する配線形状を有している。更に、ペアを形成する二つのランクの受信側を開放端とし、受信しない側で終端抵抗 1 4 によりアクティブ終端している。このような構成により、相乗効果で反射を極力小さく抑えることができる。

【選択図】 図 1

特願 2 0 0 2 - 3 1 8 2 7 1

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社